

# Composit iridium barrier structur with oxidized r fractory m tal companion barri r and method for its fabrication

Patent Number: ☐ EP1054440, A3  
 Publication date: 2000-11-22  
 Inventor(s): ZHANG FENGYAN (US); HSU SHENG TENG (US)  
 Applicant(s): SHARP KK (JP)  
 Requested Patent: ☐ JP2000353787  
 Application Number: EP20000304291 20000522  
 Priority Number(s): US19990316646 19990521  
 IPC Classification: H01L21/02; H01L21/285  
 EC Classification: H01L21/768C3, H01L21/02B3C4  
 Equivalents: ☐ US6399521  
 Cited Documents: US5892254; JP10335602; JP11111919; JP11220095

## Abstract

An Ir-M-O composite film has been provided that is useful in forming an electrode of a ferroelectric capacitor, where M includes a variety of refractory metals. The Ir combination film effectively prevents oxygen diffusion, and is resistant to high temperature annealing in oxygen environments. When used with an underlying barrier layer made from oxidizing the same variety of M transition metals, the resulting conductive barrier also suppresses the diffusion of Ir into any underlying Si substrates. As a result, Ir silicide products are not formed, which degrade the electrode interface characteristics. The Ir combination film remains conductive, not peeling or forming hillocks, during high temperature annealing processes, even in oxygen. The Ir-M-O conductive electrode/barrier structures are useful in nonvolatile MFMIS (metal/ferro/metal/insulator/silicon) memory devices, DRAMs, capacitors, pyroelectric infrared sensors, optical displays and piezoelectric transducers. A method for forming an Ir-M-O composite film barrier layer with an oxidized refractory metal

barrier layer is also provided.



Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-353787  
(P2000-353787A)

(43) 公開日 平成12年12月19日 (2000. 12. 19)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
H 0 1 L 27/04		H 0 1 L 27/04	C
21/822		21/28	3 0 1 R
21/28	3 0 1	27/10	4 5 1
27/10	4 5 1		6 5 1
27/108		29/78	3 7 1
審査請求 未請求 請求項の数35 O L (全 12 頁) 最終頁に続く			

(21) 出願番号 特願2000-149037(P2000-149037)

(22) 出願日 平成12年5月19日 (2000. 5. 19)

(31) 優先権主張番号 0 9 / 3 1 6 . 6 4 6

(32) 優先日 平成11年5月21日 (1999. 5. 21)

(33) 優先権主張国 米国 (U S)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 フェンヤン ザンク

アメリカ合衆国 ワシントン 98683,

バンクーバー, エスイー 32エヌディー

ストリート 16804

(72) 発明者 シェン テン スー

アメリカ合衆国 ワシントン 98607,

カマス, エヌダブリュー トラウト コ

ート 2216

(74) 代理人 100078282

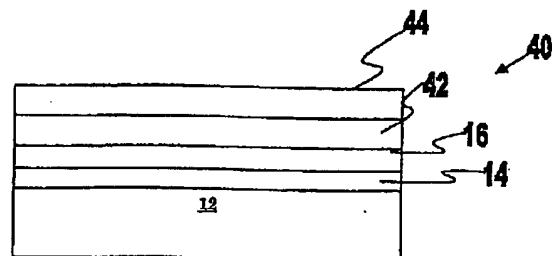
弁理士 山本 秀策

(54) 【発明の名称】 バリアを伴う酸化耐熱性金属を用いた複合イリジウムバリア構造およびその形成方法

(57) 【要約】

【課題】 強誘電体キャパシタの電極を形成する際に有効な I r - M - O 複合膜を提供する。

【解決手段】 本発明の高温で安定な導電性バリアは、集積回路において高温で安定な導電性バリアであって、基板と、基板上にある  $TiO_2$ 、 $Ta_2O_5$ 、 $Nb_2O_5$ 、 $ZrO_2$ 、 $Al_2O_3$  および  $HfO_2$  からなる群から選択される材料を含む第1のバリア膜と、第1のバリア膜上にあるイリジウムおよび酸素を含む第1の複合膜とを備え、それによって第1の複合膜は酸素雰囲気中での高温熱処理後も導電性を有する。



## 【特許請求の範囲】

【請求項1】 集積回路において、高温で安定な導電性バリアであって、  
基板と、

該基板上にある $TiO_2$ 、 $Ta_2O_5$ 、 $Nb_2O_5$ 、 $ZrO_2$ 、 $Al_2O_3$ および $HfO_2$ からなる群から選択される材料を含む第1のバリア膜と、

該第1のバリア膜上にあるイリジウムおよび酸素を含む第1の複合膜と、を備え、それによって該第1の複合膜は酸素雰囲気中での高温熱処理後も導電性を有する、高温で安定な導電性バリア。

【請求項2】 前記基板は、シリコン、多結晶シリコン、二酸化ケイ素およびシリコンゲルマニウム化合物からなる材料群から選択され、それによって前記第1のバリア層はIrケイ素化合物の生成物の形成を防ぐ、請求項1に記載の導電性バリア。

【請求項3】 前記第1のバリア層は約2ナノメートル(nm)から100ナノメートル(nm)の範囲の厚さを有する、請求項1に記載の導電性バリア。

【請求項4】 前記第1の複合膜はIr-Ta-O、Ir-Ti-O、Ir-Nb-O、Ir-Al-O、Ir-Zr-OおよびIr-Hf-Oから選択される、請求項1に記載の導電性バリア。

【請求項5】 前記第1の複合膜および前記第1のバリア層はTi、Nb、Zr、AlおよびHfからなる材料群から選択される共通の材料を含む、請求項1に記載の導電性バリア。

【請求項6】 前記第1の複合膜は約10nmから500nmの範囲の厚さを有する、請求項1に記載の導電性バリア。

【請求項7】 強誘電体キャパシタが形成され、前記第1の複合膜上にある強誘電体膜と、該強誘電体膜上にある導電性金属膜上部電極と、をさらに含み、それによって強誘電体キャパシタが形成され、該第1の膜および第2の膜との間に電荷が格納される、請求項1に記載の導電性バリア。

【請求項8】 前記導電性金属膜はまたTa、Ti、Nb、Zr、AlおよびHfからなる材料群から選択される金属を含む、Irおよび酸素の複合膜である、請求項7に記載の導電性バリア。

【請求項9】 前記基板はシリコンであり、該基板および前記第1のバリア層との間に挿入された二酸化ケイ素層をさらに含み、それによって、該二酸化ケイ素層は該基板および金属バリア上との間の界面を改善する、請求項2に記載の導電性バリア。

【請求項10】 高温で安定な導電性バリアを集積回路基板上に形成する方法であって、

a) 基板上に $TiO_2$ 、 $Ta_2O_5$ 、 $Nb_2O_5$ 、 $ZrO_2$ 、 $Al_2O_3$ および $HfO_2$ を含む第1のバリア層を形成するステップと、

b) 該第1のバリア層の上にあるイリジウムおよび酸素を含む第1の複合膜を形成し、それにより該基板の相互作用に対して抵抗性のある積層膜構造が形成されるステップと、

を備えた高温で安定な導電性バリアを形成する方法。

【請求項11】 前記ステップb)は、約10nmから500nmの範囲の厚さまで前記第1の複合膜の形成を含む、請求項10に記載の方法。

【請求項12】 前記ステップa)は、PVD、CVDおよびMOCVDからなる群から選択される堆積方法による前記第1のバリア層の堆積を含む、請求項10に記載の方法。

【請求項13】 前記ステップa)は、約2キロワット(kW)から20キロワット(kW)の範囲の出力で、約2ミリトール(mT)から100ミリトール(mT)の圧力でAr-O<sub>2</sub>雰囲気中での、スパッタリングによる前記第1のバリア材料の堆積を含む、請求項12に記載の方法。

【請求項14】 強誘電体キャパシタが形成され、上記ステップb)に続くさらなるステップとして、

d) 前記第1の複合膜の上にある強誘電体材料を堆積するステップと、

e) 該強誘電体材料上にある導電性金属膜の上部電極を形成するステップとを含み、それによって強誘電体キャパシタが形成される、請求項10に記載の方法。

【請求項15】 前記ステップe)は、Ta、Ti、Nb、Zr、AlおよびHfからなる材料群から選択される金属を含むIrおよび酸素複合膜である前記導電性金属膜を含む、請求項14に記載の方法。

【請求項16】 前記ステップb)は、Ir-Ta-O、Ir-Ti-O、Ir-Nb-O、Ir-Al-O、Ir-Zr-OおよびIr-Hf-Oからなる材料群から選択される前記第1の複合膜を含む、請求項10に記載の方法。

【請求項17】 前記ステップb)は約室温での前記第1の複合膜の堆積を含む、請求項10に記載の方法。

【請求項18】 前記ステップb)は、PVD、CVDおよびMOCVDからなる群から選択される堆積方法による前記第1の複合膜の堆積を含む、請求項10に記載の方法。

【請求項19】 前記ステップb)は、約2kWから20kWの範囲の出力レベルであって、金属ターゲットがTa、Ti、Nb、Zr、AlおよびHfからなる金属群から選択され、雰囲気は約1:5から5:1の範囲の比率のAr-O<sub>2</sub>であって、気圧は約2mTから100mTの範囲である、別個のIrターゲットおよび該金属ターゲットのdc同時スパッタリングを含む、請求項18に記載の方法。

【請求項20】 前記ステップb)は、酸素雰囲気中、単一、複合ソースでスパッタリングするPVD堆積によ

る前記第1の複合膜の堆積を含む、請求項18に記載の方法。

【請求項21】 前記ステップb)は、Ir、Ta、Ti、Nb、Zr、Al、Hf、およびTa、Ti、Nb、Zr、AlおよびHfの耐熱性金属材料の酸化物からなる群から選択される該耐熱性金属材料単一複合ターゲットを含む、請求項20に記載の方法。

【請求項22】 前記ステップb)は、Ta、Ti、Nb、Zr、AlおよびHfからなる群から選択される金属を含む別個のIrターゲットおよび金属ターゲットのdcスパッタリングを含む、請求項18に記載の方法。

【請求項23】 前記ステップb)は、別個のIrターゲットおよびTa、Ti、Nb、Zr、AlおよびHfからなる群から選択される金属を含む金属酸化物ターゲットのRFスパッタリングを含む、請求項18に記載の方法。

【請求項24】 前記ステップb)に続き、前記第1の複合膜を熱処理するさらなるステップc)を含み、それによって該第1の複合膜の導電率は改善し、ならびに該第1の複合膜の厚さは安定化する、請求項10に記載の方法。

【請求項25】 前記ステップc)は、酸素、N<sub>2</sub>、Arおよび真空からなる気体群から選択される雰囲気下における熱処理であって、該熱処理の温度は約400℃から1000℃の範囲であり、約1分から120分の時間の間の該熱処理を含む、請求項24に記載の方法。

【請求項26】 前記ステップc)は、約800℃から900℃の範囲の温度で、1分から30分間の熱処理を含む、請求項24に記載の方法。

【請求項27】 前記基板は、シリコン、多結晶シリコン、二酸化ケイ素およびシリコン-ゲルマニウム化合物からなる材料群から選択される、請求項10に記載の方法。

【請求項28】 前記基板は、シリコンであって、約5Åから200Åの範囲の厚さを有する該基板上にある二酸化ケイ素の層を形成するさらなるステップを含み、それによって該基板および上面にある金属酸化物の層との間の界面が改善する、請求項27に記載の方法。

【請求項29】 前記ステップa)は、Ta、Ti、Nb、ZrおよびHfからなる群から選択される耐熱性金属を堆積させるステップを含み、該ステップa)に続く、

a<sub>2</sub>) 酸素雰囲気中において、該ステップa)で堆積された該耐熱性金属の熱処理と同時に前記二酸化ケイ素層を形成し、前記金属酸化物の第1のバリア層を形成するステップ、をさらに含む、請求項28に記載の方法。

【請求項30】 TiO<sub>2</sub>、Ta<sub>2</sub>O<sub>5</sub>、Nb<sub>2</sub>O<sub>5</sub>、ZrO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>およびHfO<sub>2</sub>からなる群から選択される金属酸化物を堆積させ、前記ステップa)で同時に生じる前記二酸化ケイ素層を形成するステップを含む、請求

項28に記載の方法。

【請求項31】 前記ステップa)は、約室温で前記第1のバリア層の堆積を含む、請求項10に記載の方法。

【請求項32】 前記ステップa)は、約2nmから100nmの範囲の前記第1のバリア層の厚さを含む、請求項10に記載の方法。

【請求項33】 前記ステップa)は、Ta、Ti、Nb、ZrおよびHfからなる群から選択される金属の堆積を含む、請求項10に記載の方法。

【請求項34】 前記ステップa)に続き、ならびにステップb)に先行するさらなるステップであって、a<sub>1</sub>) 酸素雰囲気中において、約400℃から1000℃の範囲の温度で、約1分から120分間堆積した金属を熱処理し、それによって前記第1のバリア層が酸化するステップ、を含む、請求項33に記載の方法。

【請求項35】 前記ステップa)は、TiO<sub>2</sub>、Ta<sub>2</sub>O<sub>5</sub>、Nb<sub>2</sub>O<sub>5</sub>、ZrO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>およびHfO<sub>2</sub>からなる群から選択される金属酸化物の堆積を含む、請求項10に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は一般的に集積回路(IC)の製造、およびより具体的には酸化遷移金属あるいは酸化耐熱性金属を含む隣接するバリアがあるイリジウム(Ir)複合膜を用いた高い安定性のある導電性電極バリアの製造に関する。

【0002】

【従来の技術】白金(Pt)および他の貴金属がIC強誘電体キャパシタで使用される。それらの固有の化学抵抗が貴金属の使用の動機付けである。この特性は、特に強誘電体キャパシタの製造において見られるような高温での酸化熱処理条件下において望まれる。加えて、貴金属およびペロブスカイト金属酸化物のような強誘電体材料との間の化学的相互作用は無視できる。

【0003】上述の貴金属は、強誘電体材料によって分離される導電性電極対として用いられる。電極対のうちの1つ(もしくは両方の電極)は、しばしばIC内のトランジスタ電極、もしくは電気的に導電性のトレースに接続される。周知のように、これらの強誘電体デバイスは、ヒステリシスループで表される電荷と電圧の関係とともに電極に印加した電圧に基づいて分極し得る。メモリデバイスに使用する場合、分極した強誘電体デバイスは「1」もしくは「0」を表すのに使用され得る。これらのメモリデバイスはferro-RAM(FeRAM)および金属強誘電体金属絶縁体シリコン(MFMI S)トランジスタである。強誘電体デバイスは不揮発性である。すなわち、そのデバイスは、強誘電体が埋め込まれたICから電源を取り除いた後でさえ、依然として分極したままである。

【0004】

【発明が解決しようとする課題】貴金属電極でさえ、金属の使用に課題がある。おそらく広く使用されている貴金属であるPtは、特に、高温熱処理プロセスで、酸素の拡散を可能にする。Ptを通過した酸素の拡散は隣接するバリアおよび基板材料の酸化という結果に終わる。典型的な隣接する基板材料はシリコンもしくは二酸化ケイ素である。酸化はPtおよび隣接する層との間の密着性を弱くするという結果になり得る。酸化はまた、隣接する基板の層との間の導電性を妨害し得る。シリコン基板は特に酸素の拡散の結果生じる問題に影響されやすい。結末は、低下したメモリ特性を有する強誘電体デバイスになり得る。あるいは、ICの熱処理プロセスの温度を強誘電体デバイスの劣化を防ぐために制限しなければならない。

【0005】様々な方法で、IC製造における導電性膜として貴金属の使用に関連する相互拡散、密着性および伝導性といった問題の改良を試みている。チタン(Ti)、酸化チタン( $TiO_2$ )および窒化チタン(TiN)層が、シリコン(Si)中への貴金属の相互拡散を抑制し、かつ層間の密着性を促進するために貴金属とシリコン基板との間に置かれている。しかしながらTi層は一般的に600℃より低い熱処理温度でのみ効果的である。600℃の熱処理後、PtはSiと反応しケイ素化合物を形成するために、Ti層を通して拡散する。さらに、Ptは酸素の拡散を止めることはできない。高温熱処理後、シリコンおよび電極との間の接触を絶縁する酸化ケイ素の薄い層がシリコン表面に形成され得る。

【0006】もう1つのPt金属膜の熱処理に関連する課題は、剥離およびヒロックの形成である。これら両方の課題は、高温熱処理中に隣接するIC層でPtの熱膨張および熱応力の違いに関する。Pt膜上にあるTi層はPt膜の応力の低下、ヒロック形成を抑制することで公知である。

【0007】Irはまた、酸素の相互拡散の課題を解決するための試みで用いられてきた。Irは高融点を有し、化学的に安定である。Ptと比較して、Irは酸素の拡散に対してより耐性がある。さらに、酸化した場合でさえ、酸化イリジウムは導電性を持つ。次の層がTiの場合、Ir/Tiバリアは酸素の相互拡散に対して優れた不浸透性をもつ。しかしながらIrはTiと反応する。Ptのように、Irはまた、シリコンもしくは酸化ケイ素に非常によく反応する。それゆえ、Ir/TiもしくはIr/TiN二重層バリアは理想的なバリア金属ではない。

【0008】

【課題を解決するための手段】Zhangらが発明し、および1999年3月5日に出願された「Iridium Conductive Electrode/Barrier Structure and Method for Same」というタイトルの同時係属中の

出願シリアル番号09/263、595は相互拡散に対して耐性のあるIr/Ta積層膜を開示している。

【0009】Zhangらが発明し、および1999年3月5日に提出された「Iridium Composite Barrier Structure and Method for Same」というタイトルの同時係属中の出願シリアル番号09/263、970は相互拡散に対して耐性のあるIr複合膜を開示している。

【0010】Zhangらが発明し、および1999年5月21日に提出された「Composite Iridium-Metal-Oxygen Barrier Structure with Refractory Metal Companion Barrier and Method for Same」というタイトルの同時係属中の出願シリアル番号09/316、661は相互拡散に対して耐性のあるIr複合薄膜を開示している。

【0011】IC製造において導体、導電性のバリア、もしくは電極としてIrの使用における代替手段が開発された場合、有利である。下地となるSi基板に相互作用することなくIrを使用する場合、有利である。

【0012】Ir膜が相互拡散の特性を改善するために他の導電性の金属と変えられた場合、有利である。さらに、この改善されたタイプのIr膜がSi基板とIrの相互作用を防ぐために挿入された膜をとまって積層された場合、有利である。

【0013】Ir複合膜およびシリコン基板との間に挿入したバリアがトランジスタのゲート誘電体として使用された場合、有利である。

【0014】上述のIr-金属膜が高温熱処理で酸素の相互拡散を抑制できる場合、有利である。Ir-金属膜が剥離の問題およびヒロックの形成に対して影響されにくい場合もまた、有利である。

【0015】高温および酸素雰囲気条件での熱処理後、電気的な導電性があるIr-金属膜が形成された場合、有利である。

【0016】本発明の高温で安定な導電性バリアは、集積回路において高温で安定な導電性バリアであって、基板と、上記基板上にある $TiO_2$ 、 $Ta_2O_5$ 、 $Nb_2O_5$ 、 $ZrO_2$ 、 $Al_2O_3$ および $HfO_2$ からなる群から選択される材料を含む第1のバリア膜と、上記第1のバリア膜上にあるイリジウムおよび酸素を含む第1の複合膜と、を備え、それによって上記第1の複合膜は酸素雰囲気中での高温熱処理後も導電性を有する。

【0017】上記基板は、シリコン、多結晶シリコン、二酸化ケイ素およびシリコン-ゲルマニウム化合物からなる材料群から選択され、それによって上記第1のバリア層はIrケイ素化合物の生成物の形成を防いでもよい。

【0018】上記第1のバリア層は約2ナノメートル (nm) から100ナノメートル (nm) の範囲の厚さを有してもよい。

【0019】上記第1の複合膜はIr-Ta-O、Ir-Ti-O、Ir-Nb-O、Ir-Al-O、Ir-Zr-OおよびIr-Hf-Oから選択されてもよい。

【0020】上記第1の複合膜および上記第1のバリア層はTi、Nb、Zr、AlおよびHfからなる材料群から選択される共通の材料を含んでもよい。

【0021】上記第1の複合膜は約10 nmから500 nmの範囲の厚さを有してもよい。

【0022】強誘電体キャパシタが形成され、上記第1の複合膜上にある強誘電体膜と、上記強誘電体膜上にある導電性金属膜上部電極と、をさらに含み、それによって強誘電体キャパシタが形成され、上記第1の膜および第2の膜との間に電荷が格納されてもよい。

【0023】上記導電性金属膜はまたTa、Ti、Nb、Zr、AlおよびHfからなる材料群から選択される金属を含む、Irおよび酸素の複合膜であってもよい。

【0024】上記基板はシリコンであり、上記基板および上記第1のバリア層との間に挿入された二酸化ケイ素層をさらに含み、それによって、上記二酸化ケイ素層は上記基板および金属バリア上との間の界面を改善してもよい。

【0025】本発明の高温で安定な導電性バリアを集積回路基板上に形成する方法は、

a) 基板上にTiO<sub>2</sub>、Ta<sub>2</sub>O<sub>5</sub>、Nb<sub>2</sub>O<sub>5</sub>、ZrO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>およびHfO<sub>2</sub>を含む第1のバリア層を形成するステップと、

b) 上記第1のバリア層の上にあるイリジウムおよび酸素を含む第1の複合膜を形成し、これにより上記基板の相互作用に対して抵抗性のある積層膜構造が形成されるステップと、  
を備える。

【0026】上記ステップb)は、約10 nmから500 nmの範囲の厚さまで上記第1の複合膜の形成を含んでもよい。

【0027】上記ステップa)は、PVD、CVDおよびMOCVDからなる群から選択される堆積方法による上記第1のバリア層の堆積を含んでもよい。

【0028】上記ステップa)は、約2キロワット (kW) から20キロワット (kW) の範囲の出力で、約2 ミリトール (mT) から100ミリトール (mT) の圧力でAr-O<sub>2</sub>雰囲気下での、スパッタリングによる上記第1のバリア材料の堆積を含んでもよい。

【0029】強誘電体キャパシタが形成され、上記ステップb)に続くさらなるステップとして、

d) 上記第1の複合膜の上にある強誘電体材料を堆積するステップと、

e) 上記強誘電体材料上にある導電性金属膜の上部電極を形成するステップとを含み、それによって強誘電体キャパシタが形成されてもよい。

【0030】上記ステップe)は、Ta、Ti、Nb、Zr、AlおよびHfからなる材料群から選択される金属を含むIrおよび酸素複合膜である上記導電性金属膜を含んでもよい。

【0031】上記ステップb)は、Ir-Ta-O、Ir-Ti-O、Ir-Nb-O、Ir-Al-O、Ir-Zr-OおよびIr-Hf-Oからなる材料群から選択される上記第1の複合膜を含んでもよい。

【0032】上記ステップb)は約室温での上記第1の複合膜の堆積を含んでもよい。

【0033】上記ステップb)は、PVD、CVDおよびMOCVDからなる群から選択される堆積方法による上記第1の複合膜の堆積を含んでもよい。

【0034】上記ステップb)は、約2 kWから20 kWの範囲の出力レベルであって、金属ターゲットがTa、Ti、Nb、Zr、AlおよびHfからなる金属群から選択され、雰囲気は約1:5から5:1の範囲の比率のAr-O<sub>2</sub>であって、気圧は約2 mTから100 mTの範囲である、別個のIrターゲットおよび上記金属ターゲットのdc同時スパッタリングを含んでもよい。

【0035】上記ステップb)は、酸素雰囲気中、単一、複合ソースでスパッタリングするPVD堆積による上記第1の複合膜の堆積を含んでもよい。

【0036】上記ステップb)は、Ir、Ta、Ti、Nb、Zr、Al、Hf、およびTa、Ti、Nb、Zr、AlおよびHfの耐熱性金属材料の酸化物からなる群から選択される上記耐熱性金属材料単一複合ターゲットを含んでもよい。

【0037】上記ステップb)は、Ta、Ti、Nb、Zr、AlおよびHfからなる群から選択される金属を含む別個のIrターゲットおよび金属ターゲットのdcスパッタリングを含んでもよい。

【0038】上記ステップb)は、別個のIrターゲットおよびTa、Ti、Nb、Zr、AlおよびHfからなる群から選択される金属を含む金属酸化物ターゲットのRFスパッタリングを含んでもよい。

【0039】上記ステップb)に続き、上記第1の複合膜を熱処理するさらなるステップc)を含み、それによって上記第1の複合膜の導電率は改善し、ならびに上記第1の複合膜の厚さは安定化してもよい。

【0040】上記ステップc)は、酸素、N<sub>2</sub>、Arおよび真空からなる気体群から選択される雰囲気下における熱処理であって、上記熱処理の温度は約400℃から1000℃の範囲であり、約1分から120分の時間の間の上記熱処理を含んでもよい。

【0041】上記ステップc)は、約800℃から900℃の範囲の温度で、1分から30分間の熱処理を含ん

でもよい。

【0042】上記基板は、シリコン、多結晶シリコン、二酸化ケイ素およびシリコン-ゲルマニウム化合物からなる材料群から選択されてもよい。

【0043】上記基板は、シリコンであって、約5Åから200Åの範囲の厚さを有する上記基板上にある二酸化ケイ素の層を形成するさらなるステップを含み、それによって上記基板および上面にある金属酸化物の層との間の界面が改善してもよい。

【0044】上記ステップa)は、Ta、Ti、Nb、ZrおよびHfからなる群から選択される耐熱性金属を堆積させるステップを含み、上記ステップa)に続く、a<sub>2</sub>) 酸素雰囲気中において、上記ステップa)で堆積された上記耐熱性金属の熱処理と同時に上記二酸化ケイ素層を形成し、上記金属酸化物の第1のバリア層を形成するステップ、をさらに含んでもよい。

【0045】TiO<sub>2</sub>、Ta<sub>2</sub>O<sub>5</sub>、Nb<sub>2</sub>O<sub>5</sub>、ZrO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>およびHfO<sub>2</sub>からなる群から選択される金属酸化物を堆積させ、上記ステップa)で同時に生じる上記二酸化ケイ素層を形成するステップを含んでもよい。

【0046】上記ステップa)は、約室温で上記第1のバリア層の堆積を含んでもよい。

【0047】上記ステップa)は、約2nmから100nmの範囲の上記第1のバリア層の厚さを含んでもよい。

【0048】上記ステップa)は、Ta、Ti、Nb、ZrおよびHfからなる群から選択される金属の堆積を含んでもよい。

【0049】上記ステップa)に続き、ならびにステップb)に先行するさらなるステップであって、

a<sub>1</sub>) 酸素雰囲気中において、約400℃から1000℃の範囲の温度で、約1分から120分間堆積した金属を熱処理し、それによって上記第1のバリア層が酸化するステップ、を含んでもよい。

【0050】上記ステップa)は、TiO<sub>2</sub>、Ta<sub>2</sub>O<sub>5</sub>、Nb<sub>2</sub>O<sub>5</sub>、ZrO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>およびHfO<sub>2</sub>からなる群から選択される金属酸化物の堆積を含んでもよい。

【0051】従って、上記のような本発明の特徴によれば、集積回路での使用を目的とした極めて温度安定性のある導電バリアが提供される。バリアは下地となるシリコン基板、シリコン基板上にある酸化耐熱性金属を含む第1のバリア膜、および第1のバリア膜にあるイリジウム-耐熱性金属-酸素(Ir-M-O)複合膜を含む。耐熱性金属はIr多結晶の粒界を埋めることを促進するのに用いられ、構造的な安定性を改善する。

【0052】典型的に第1のバリア膜はTiO<sub>2</sub>、Ta<sub>2</sub>O<sub>5</sub>、Nb<sub>2</sub>O<sub>5</sub>、ZrO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>およびHfO<sub>2</sub>からなる材料群から選ばれる。第1のバリア層は約2ナノメートル(nm)から100ナノメートル(nm)の範囲の厚

さを有する。第1のバリアは下部の電極Ir複合膜からシリコン基板を分離するためのバリアとして用いられる。第1のバリアはまた、金属強誘電体金属絶縁体シリコン(MFMIS)メモリにおいて、ゲート誘電体として働く。

【0053】Ir-M-O複合膜は酸素雰囲気中の高温熱処理プロセス後、導電性を有している。さらにIr-M複合膜は、ヒロック形成を阻止し、ならびに剥離も阻止する。具体的にはIr複合膜は次の材料を含む。Ir-Ta-O、Ir-Ti-O、Ir-Nb-O、Ir-Al-O、Ir-Zr-OおよびIr-Hf-Oである。典型的にIr-M-O複合膜は、約10nmから500nmの範囲の厚さを有する。

【0054】本発明のある局面において、バリアは強誘電体デバイスにおける電極の形成に用いられる。次に、強誘電体膜はIr-M-O膜の上に積層される。上述のIr-M複合膜である貴金属からなる導電性の金属膜、または積層の導電性の上部電極が強誘電体膜の上に積層される。強誘電体膜は上部電極およびIr-M-O電極との間に電荷を格納できる。

【0055】その上、集積回路基板上にある極めて温度安定性のある導電バリアを形成する方法が提供される。その方法は、

a) 上述したように基板の上にある第1のバリア層を形成するPVD、CVD、またはMOCVDプロセスによるステップと、

b) 上述したように約10nmから500nmの範囲の厚さを有する第1のバリア層の上に、イリジウムおよび酸素を含む第1の複合膜を形成する、PVD、CVD、またはMOCVDプロセスによるステップと、

c) 酸素、N<sub>2</sub>、Arおよび真空からなる気体群から選択される雰囲気中で、第1の複合膜の熱処理、および、その雰囲気中で熱処理温度は約400℃から1000℃の範囲であり、そのために第1の複合膜の導電性は改善され、ならびに第1の複合膜の厚さは安定する、ステップと、を含む。

【0056】強誘電体が形成されるという点で、本発明のある局面において、ステップb)に続くさらなるステップとして、

d) 第1の複合膜上に強誘電体材料を堆積するステップと、

e) 強誘電体材料の上に導電性の上部電極を堆積し、そのために強誘電体キャパシタが形成されるステップが含まれる。上述のように、公開されたIr-M-O複合膜はまた上部電極としても安定である。

【0057】スパッタリングは複合膜およびバリア膜を堆積するのに使用する一つのPVDプロセスである。4インチターゲットが用いられた場合、第1のバリア材料はAr-O<sub>2</sub>雰囲気下、2ミリトール(mT)から100ミリトール(mT)の圧力、約50ワット(W)から

800ワット(W)でステップa)のスパッタリングによって堆積され得る。ステップb)は約50ワットから800ワットの範囲の出力レベルでIrターゲットおよび金属ターゲットの両方のスパッタリングを含む。金属ターゲットはTa、Ti、Nb、Zr、AlおよびHfからなる金属群から選択される。雰囲気は約1:5から5:1の範囲の比率のAr-O<sub>2</sub>であり、ならびに気圧は約2mTから100mTの範囲である。あるいは、ステップb)は酸素雰囲気中で単一および複合ソースでスパッタリングするPVD堆積法によって第1の複合膜を堆積することを含む。単一、複合ソース材料はIr、Ta、Ti、Nb、Zr、Al、Hfおよび上述の材料の酸化物からなる材料群から選択される。大きなターゲットを用いた場合、ステップa)およびステップb)に対するスパッタリング出力レベルは約2キロワット(kW)から20キロワット(kW)である。

【0058】本発明のある局面において、第1のバリア層は酸化耐熱性金属の堆積によってステップa)で形成される。あるいは、耐熱性金属が堆積され、それから第1の複合膜を堆積する前に酸化する。第三の選択として、耐熱性金属は耐熱性金属上に堆積された第1の複合膜とともに堆積される。それから、上に積層した膜は第1のバリアの耐熱性金属が酸化するように酸素雰囲気下で熱処理する。

【0059】

【発明の実施の形態】図1から図3は集積回路において用いられる、高温で安定な導電性バリア層のステップを示す。具体的には導電性バリアは強誘電体キャパシタの電極として有効である。図1は基板12、基板12上にあるTiO<sub>2</sub>、Ta<sub>2</sub>O<sub>5</sub>、Nb<sub>2</sub>O<sub>5</sub>、ZrO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>、およびHfO<sub>2</sub>からなる群から選択される材料を含む第1のバリア膜14からなる導電性バリア10を示す。イリジウムおよび酸素を含む第1の複合膜16は第1のバリア膜14上に積層する。第1の複合膜16は酸素雰囲気中での高温熱処理プロセス後も導電性を有する。

【0060】基板12はシリコン、多結晶シリコン、二酸化ケイ素およびシリコン-ゲルマニウム複合物からなる材料群から選択され、それによって第1のバリア層14はIrケイ素複合物の生成物の形成を阻止する。第1のバリア層14は約2ナノメートル(nm)から100ナノメートル(nm)の範囲の厚さ18を有する。

【0061】具体的には、遷移金属あるいは耐熱性金属を含む様々なタイプの第1の複合膜16が可能である。導電性バリア層10はIr-Ta-O、Ir-Ti-O、Ir-Nb-O、Ir-Al-O、Ir-Zr-OおよびIr-Hf-Oからなる群から選択される第1の複合膜16を含む。電極層の導電性は金属(M)、IrおよびOの相対組成比を変化させることで変化し得る。Ir-M-Oの第1の複合膜16は約10nmから50

0nmの範囲の厚さ20を有する。第1の複合膜16および第1のバリア層14は一般に、Ti、Nb、Zr、AlおよびHfからなる群から選択される共通の材料を含む。すなわち、第1の複合膜16がTiを含む場合、第1のバリア層14はTiを含む。同様に、第1の複合膜16がNbを含む場合、第1のバリア層14もそうである。第1の複合膜16がZrを含む場合、第1のバリア層14もそうである。第1の複合膜16がAlを含む場合、第1のバリア層14もそうである。第1の複合膜16がHfを含む場合、第1のバリア層14もそうである。あるいは、膜16およびバリア14中の金属が異なる。例えば、Tiを含むバリア層14およびTaの複合膜16という場合である。

【0062】図2は一部分として図1の導電性バリア層10を含む強誘電体キャパシタ40を示す。強誘電体キャパシタ40はさらに第1の複合膜16上にある強誘電体膜42を含む。導電性金属膜の上部電極44が強誘電体膜42上にある。本発明のある局面において、上部電極44は第1の複合膜の下部電極16と同様の材料である。この様式において、強誘電体膜42は上部電極44および下部電極16との間に電荷の格納、あるいは分極を保持する能力がある。上部電極44は積層膜電極である貴金属、および本発明の代替の局面において、上述されたうちの1つのIr複合膜16である。

【0063】これらの構造はMFMS(金属/強誘電体/金属/絶縁体/シリコン)メモリのような不揮発性メモリ、DRAM、キャパシタ、センサー、ディスプレイおよび変換器アプリケーションにおけるシリコン、多結晶シリコン、あるいは二酸化ケイ素基板上に、導電性の下部電極/バリア構造を含む。

【0064】図3はゲート誘電体を有するバリア構造10を示す。本発明のある局面において、基板12がシリコンの場合、構造10はさらに基板12および第1のバリア層14との間に挿入された二酸化ケイ素層50を含む。二酸化ケイ素層50は基板12および積層された金属バリア14あるいは16との界面を改善する。

【0065】堆積直後のIr-M-O膜16は1分から30分、O<sub>2</sub>雰囲気中800℃から900℃で堆積後の熱処理によってもっとも導電性を有するようになる。構造の厚さは600℃の熱処理によって安定する、あるいはより大きくなり得る。

【0066】本明細書中で使用される記号「/」はIr-TaがTa膜上にあるIr膜の層であるように、膜の層状を定義する。本明細書中で使用される記号「-」はIr-Ta膜がIrおよびTa元素を含む複合膜であるように、元素の組み合わせあるいは元素の混合物を定義する。

【0067】図4は強誘電体キャパシタに使用するように、高温で安定な導電性のバリアの形成方法を示すステップのフローチャートである。ステップ100は集積回



路基板を提供する。基板はシリコン、多結晶シリコン、二酸化ケイ素およびシリコン-ゲルマニウムの化合物からなる材料群から選択される。本発明のある局面において(図示せず)、ステップ100aはステップ100の後に続き、ならびに、ステップ102に先行する。ステップ100aは、シリコン基板の使用、および約5Åから200Åの範囲の厚さを有するシリコン基板上に二酸化ケイ素の層を形成を含む。二酸化ケイ素層はシリコンおよび後で堆積された金属酸化バリア層との間の界面を改善する。二酸化ケイ素層の厚さは、約5Åから100Åの範囲である。二酸化ケイ素層によって、MFMISアプリケーションで用いられるような、ステップ102で形成した第1のバリア層をゲート誘電体として使用することが可能になる。代替ステップ100aプロセスは以下で述べられる。

【0068】ステップ102は、基板上にあるTiO<sub>2</sub>、Ta<sub>2</sub>O<sub>5</sub>、Nb<sub>2</sub>O<sub>5</sub>、ZrO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>およびHfO<sub>2</sub>からなる群から選択される材料を含む第1のバリア層を形成する。ステップ102はCVD、PVDおよびMOCVDからなる群から選択される堆積方法による第1のバリア層の堆積を含む。PVDプロセスはdcスパッタリングおよびRF(高周波)スパッタリングの両方を含むと解釈される。本発明のある局面において、ステップ102は約室温で第1のバリア層の堆積を含む。ステップ102はまた、約2nmから100nmの範囲の厚さの第1のバリア層の堆積を含む。

【0069】本発明のある局面において、ステップ102はTa、Ti、Nb、ZrおよびHfからなる群から選択される耐熱性金属の堆積を含む。それから、ステップ104に先行するステップにおいて(図示せず)、堆積した金属は第1のバリア層の金属を酸化するために、酸素雰囲気中で熱処理される。熱処理温度は、約1分から120分の間、約400℃から1000℃である。あるいは、ステップ102はTiO<sub>2</sub>、Ta<sub>2</sub>O<sub>5</sub>、Nb<sub>2</sub>O<sub>5</sub>、ZrO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>およびHfO<sub>2</sub>からなるグループから選択される金属酸化物の堆積を含む。基板がシリコンの場合、二酸化ケイ素層は酸素雰囲気のために、ステップ102で同時に(ステップ100a)形成される。もう1つの選択すべきものに、ステップ102はTa、Ti、Nb、ZrおよびHfからなる群から選択される金属の堆積を含む。ステップ102はステップ104に続くサブ・ステップを含む。ステップ104a(図示せず)は、第1のバリア層を酸化するために、酸素雰囲気中で堆積された第1のバリア層金属および第1の複合膜を熱処理する。詳しくは、熱処理温度が約400℃から1000℃で、約1分から120分間熱処理する。基板がシリコンの場合、二酸化ケイ素層は酸素雰囲気のためにステップ104aの熱処理によって同時に(ステップ100a)形成される。

【0070】ステップ104は、第1のバリア層の上に

あるもう1つの金属であるイリジウムおよび酸素の第1の複合膜を形成する。ステップ104はCVD、PVDおよびMOCVDからなる群から選択される堆積方法による複合膜の堆積を含む。本発明のある局面において、ステップ104は約室温で約10nmから500nmの範囲の厚さの第1の複合膜の形成を含む。ステップ104はIr-Ta-O、Ir-Ti-O、Ir-Nb-O、Ir-Al-O、Ir-Zr-OおよびIr-Hf-Oからなる群から選択される第1の複合膜を含む。ステップ106は生成物であり、そこで基板との相互作用に対して抵抗性のある積層膜構造が形成される。

【0071】ステップ104bは導電率の改善、および第1の複合膜の厚さの安定化のために第1の複合膜の熱処理を含む。熱処理は、N<sub>2</sub>、O<sub>2</sub>、Arおよび真空からなる群から選択される雰囲気、約400℃および1000℃の間の範囲の熱処理温度、約1分から120分の範囲の時間で行われる。すなわち、ステップ102で堆積されるTa、Ti、Nb、Zr、あるいはHf金属はステップ104bの熱処理ステップで酸化される。

【0072】スパッタリングが行われる場合、ステップ100は一般に基礎、前プロセス、 $1 \times 10^{-5}$  T未満および好ましくは $1 \times 10^{-7}$  T未満の圧力の確立を含む。本発明のある局面において、ステップ102は約50ワットから800ワット、ArおよびO<sub>2</sub>を含む雰囲気下、約2mTから100mTの圧力で4インチターゲットのスパッタリングによる第1のバリア材料の堆積を含む。より大きなターゲットを用いる場合、出力レベルが約2kWから20kWの範囲である。

【0073】本発明のある局面において、ステップ104はPVD堆積法による第1の複合膜の堆積を含む。詳しくは、dc同時スパッタリングでは別個のIrターゲットおよび金属ターゲットを使用する。スパッタリングは約1:5から5:1の範囲の比率でAr-O<sub>2</sub>雰囲気中で行われる。圧力は約2mTから100mTで変化する。別個のIrターゲットおよび金属酸化物ターゲットはRFスパッタされ、金属酸化物ターゲットはTa、Ti、Nb、Zr、AlおよびHfからなる群から選択される金属を含む。

【0074】さらに、ステップ104は約50ワットから800ワットの範囲の圧力で別個のIrの4インチターゲットおよび金属の4インチターゲットのdc同時スパッタリングを含む。金属ターゲットは、Ta、Ti、Nb、Zr、AlおよびHfからなる群から選択される。概して、ターゲットが導電性材料の場合はdcスパッタリングが使用され、ターゲットの1つが絶縁性材料である場合はRFスパッタリングが使用される。4インチターゲットに関して、上記出力レベルが使用される。11あるいは13インチターゲットのようなより大きなターゲットを使用する場合、ステップ102およびステップ104のスパッタリング出力は約2kWから20k

Wの範囲にある。あるいは、出力は数100ボルトで、1平方センチメートルにつき約10ミリアンペアから100ミリアンペアの範囲の電流密度として表される。

【0075】あるいは、ステップ104は、Ir、Ta、Ti、Nb、Zr、Hfおよび上で述べた耐熱性金属酸化物材料からなる群から選択される耐熱性金属材料のターゲットを用いた単一複合体ソースのついたスパッタリングを使用したPVD堆積法による第1の複合膜の堆積を含む。一般的に、スパッタリングは酸素雰囲気で行われるが、ターゲット材料が金属酸化物中に酸素を含む場合、酸素雰囲気はさして重要ではない。

【0076】本発明のある局面において、ステップ100aはステップ102におけるTa、Ti、Nb、Zr、Al、もしくはHfからなる群から選択される耐熱性金属の堆積、およびステップ102に続く酸素雰囲気下での熱処理ステップの実施によるSiO<sub>2</sub>層の形成を含む。ステップ100aは耐熱性金属の熱処理ステップで同時に生じる。あるいは、TiO<sub>2</sub>、Ta<sub>2</sub>O<sub>5</sub>、Nb<sub>2</sub>O<sub>5</sub>、ZrO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>およびHfO<sub>2</sub>からなる群から選択される耐熱性金属酸化物はステップ102で堆積される。金属酸化物堆積プロセスの酸素雰囲気によって、同時にステップ100aにおけるSi基板の酸化する。

【0077】図5は本発明の導電性バリア第1の複合膜を用いた強誘電体キャパシタの形成のステップを示すフローチャートである。ステップ200からステップ204は、図4のステップ100からステップ104に対応する。ステップ206は第1の複合膜上にある強誘電体材料を堆積する。ステップ208は強誘電体材料上にある導電性の金属膜上部電極を形成する。ステップ210は生成物であり、そこで強誘電体キャパシタが形成される。上部電極材料が第1の複合膜のようなIr-M-Oである場合、さらなるステップがステップ208に続く。ステップ209（図示せず）は導電率の改善および第1の複合膜の厚さの安定化のために上部電極複合膜を熱処理する。熱処理は、N<sub>2</sub>、O<sub>2</sub>、Arおよび真空からなる群から選択される雰囲気下、約400℃および1000℃との間の範囲の熱処理温度、約1分から120分の範囲の時間で行われる。

【0078】図6は熱処理後の本発明の構造の走査型電子顕微鏡（SEM）による断面図である。Ir-Ta-O/Ta-Ta<sub>2</sub>O<sub>5</sub>/SiO<sub>2</sub>構造は800℃、90分の熱処理後に見られる。良好な膜の整合性を明示するために写真を示す。さらに、複合膜は約25オーム/スクエアのシート抵抗を有し、導電性をもつ。つまり、シート抵抗は約60オーム/スクエアの熱処理前の値から熱処理の結果、実際に減少する。

【0079】有効なIr-M-O複合膜が強誘電体キャパシタの電極を形成する際に提供されている。複合膜は、多様な遷移金属および酸素、ならびにイリジウムを含む。バリアを伴う酸化した金属が使用される場合、I

r-M-O複合膜は効果的に基板への酸素の拡散を阻止し、ならびに酸素雰囲気下での高温熱処理に不透過性である。酸化した遷移金属バリア層の下地で使用される場合、結果的に導電性バリアはまた、Si基板の内部へのIrの拡散を抑制する。その結果として、電極界面の特性を下げるIrケイ素化合物の生成物は形成されない。Ir複合膜は導電性をそのまま有し、ならびに酸素雰囲気であっても高温熱処理プロセスの間、剥離およびヒロックの形成を阻止する。上述のように、Ir複合膜は金属強誘電体金属絶縁体シリコン（MFMIS）のような不揮発性メモリ、DRAM、キャパシタ、圧電性赤外線センサー、光ディスプレイおよび圧電変換器の製造において、有益である。さらに、Ir複合膜は他の高温酸化状況において有益である。例えば、ロケットスラスターの製造において使用される材料のような航空宇宙産業分野においてである。他の変化および実施態様は当業者に行われ得る。

#### 【0080】

【発明の効果】本発明によれば、金属（M）が多様な耐熱性金属を含む場合、Ir-M-O複合膜が、強誘電体キャパシタの電極形成の際に有益であるとして提供される。Ir複合膜は効果的に酸素の拡散を防ぎ、ならびに酸素雰囲気下での高温熱処理に対して抵抗力を示す。同様に多様なM遷移金属の酸化からなるバリア層を下地に用いる場合、結果的に導電性バリアはまた、Si基板内部へのIrの拡散を抑制する。結果として、電極界面の特性を劣化させるIrケイ素化合物は形成されない。Ir複合膜は、酸素中でさえ高温熱処理プロセスの間に、導電性を有し、剥離もしくはヒロックの形成がない。Ir-M-O導電性電極/バリア構造は、不揮発性MFMIS（金属/強誘電体/金属/絶縁体/シリコン）メモリデバイス、DRAM、キャパシタ、圧電性赤外線センサー、光ディスプレイおよび圧電変換器において有益である。酸化した耐熱性金属バリア層を有するIr-M-O複合膜バリア層の形成がまた提供される。

#### 【図面の簡単な説明】

【図1】図1は集積回路において用いられる、高温で安定な導電性バリア層の形成ステップを示す。

【図2】図2は集積回路において用いられる、高温で安定な導電性バリア層の形成ステップを示す。

【図3】図3は集積回路において用いられる、高温で安定な導電性バリア層の形成ステップを示す。

【図4】図4は強誘電体キャパシタとして用いられるような、高温で安定な導電性のバリアの形成方法を示すステップのフローチャートである。

【図5】図5は本発明の導電性バリアIr複合膜を使用する強誘電体キャパシタの形成を示すステップのフローチャートである。

【図6】図6は本発明の熱処理後構造の走査型電子顕微鏡（SEM）による断面図である。

【符号の説明】

10 導電性バリア層

12 基板

14 第1のバリア層

16 第1の複合膜

18 第1のバリア層の厚さ

20 第1の複合膜の厚さ

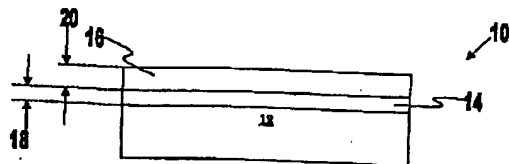
40 強誘電体キャパシタ

42 強誘電体膜

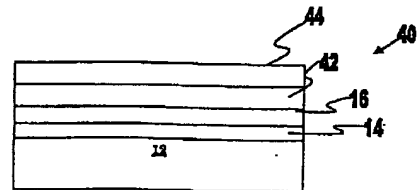
44 上部電極

50 二酸化ケイ素層

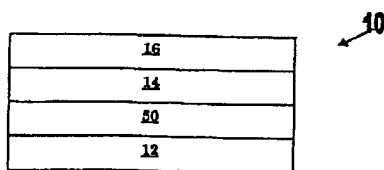
【図1】



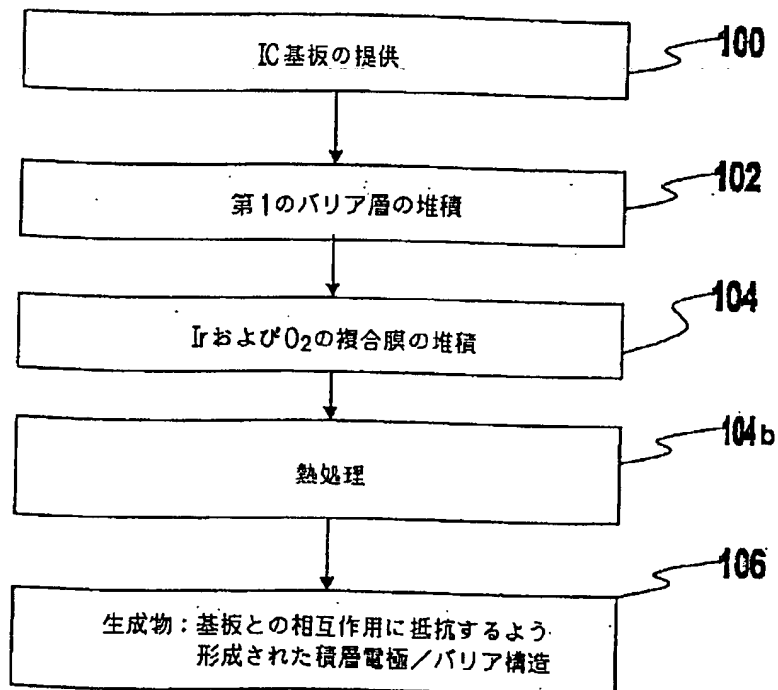
【図2】



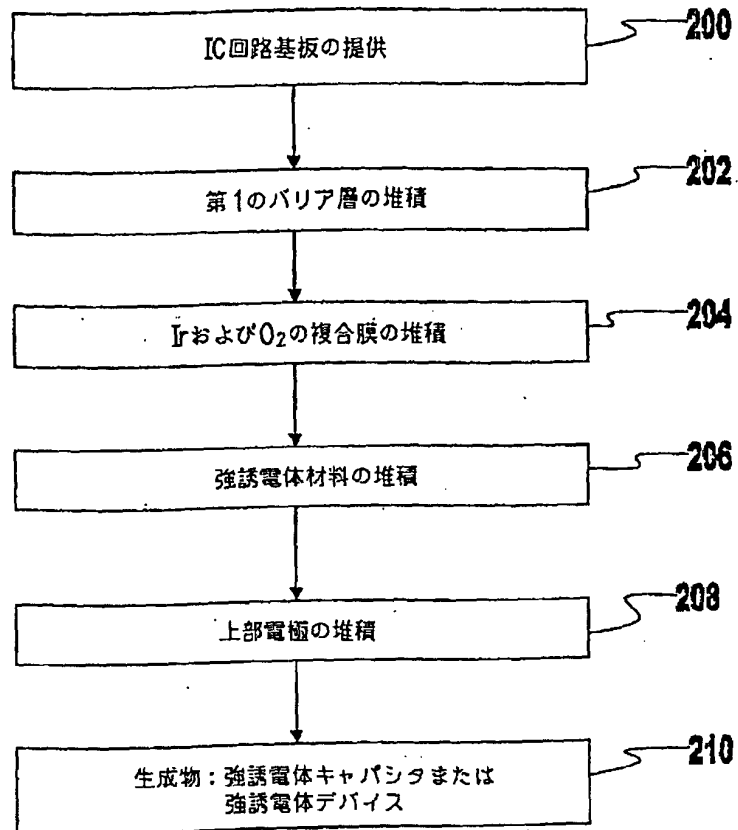
【図3】



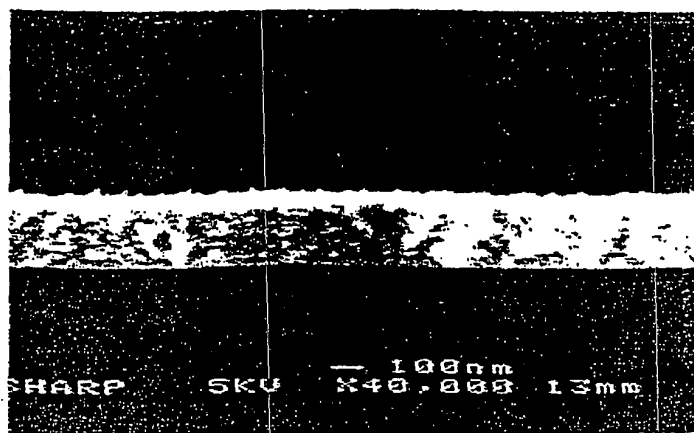
【図4】



【図5】



【図6】



800°C 90分酸素熱処理後のIr-Ta-O/Ta-Ta<sub>2</sub>O<sub>5</sub>/SiO<sub>2</sub>.  
そのシート抵抗は約25オーム/スクエアである

フロントページの続き

(51)Int.Cl.<sup>7</sup>

識別記号

F I

キーワード(参考)

H 0 1 L 21/8242

H 0 1 L 41/08

L

21/8247

Z

29/788

29/792

41/09

41/08